

Patent number: JP2051129
Publication date: 1990-02-21
Inventor: YAMAZAKI MITSUHIRO; IKUSHIMA ICHIJI
Applicant: SANYO ELECTRIC CO
Classification:
- International: G02F1/136; H01L27/12; H01L29/784
- European:
Application number: JP19880202210 19880812
Priority number(s): JP19880202210 19880812

[Report a data error here](#)

Abstract of JP2051129

PURPOSE: To eliminate decrease in the brightness of a picture element due to the removal of a defective TFT by providing TFTs and auxiliary capacitors corresponding to them at every picture element unit at intersection parts of gate lines and image lines. **CONSTITUTION:** The thin film transistors (TFT) 3 and 3' in picture element units which are controlled by the gate lines 1 and the auxiliary capacitors 5 and 5' corresponding to them are provided at the intersection parts of the gate lines 1 and image lines 2. If one TFT 3' becomes defective, and is still OFF, the B position of one auxiliary capacitor 11' is cut by laser beam irradiation. If the TFT 3' becomes defective while being in the ON state, the A position of its source electrode 9 is cut in addition to the B position. Consequently, picture elements can operate normally with the remaining normal TFTs 3. Consequently, the generation of a flicker and variation in brightness are both prevented.

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 平2-51129

⑬Int.Cl.

G 02 F 1/136
H 01 L 27/12
29/784

識別記号

5 0 0

府内整理番号

7370-2H

A

7514-5F

⑭公開 平成2年(1990)2月21日

8824-5F H 01 L 29/78 3 1 1 E

審査請求 未請求 請求項の数 1 (全4頁)

⑮発明の名称 アクティブマトリクス液晶表示パネル

⑯特願 昭63-202210

⑰出願 昭63(1988)8月12日

⑱発明者 山崎 光洋 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑲発明者 生島 一司 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑳出願人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
 ㉑代理人 弁理士 西野 卓嗣 外1名

明細書

⑲発明の名称 アクティブマトリクス液晶表示パネル

2 特許請求の範囲

(1) 横数のゲートラインと複数の画像ラインがマトリクス状に交差配列され、その各交差部分に複数ゲートラインによって制御される薄膜トランジスタと、該トランジスタに接続され、これを介して前記画像ラインより画像信号が供給される像素電子である液晶セルと、該液晶セルの画像信号を保持する為の補助容量とを配設したアクティブマトリクス液晶表示パネルにおいて、ゲートラインと画像ラインの各交差部分の像素単位毎に複数個の上記トランジスタと、これに対応する複数個の補助容量を備えたことを特徴とするアクティブマトリクス液晶表示パネル。

3 発明の詳細な説明

(1) 産業上の利用分野

本発明は薄膜トランジスタ(以下「TFT」と称す)を備えたアクティブマトリクス液晶表示パネル

に関する。

(a) 従来の技術

近年、液晶テレビ局にアクティブマトリクス液晶表示パネルの開発が盛んであるが、現状においては、フリッカの発生や歩止まりの問題が未解決であり、以下に述べる対策方法が提案されている。即ち、フリッカの発生に関しては、フリッカの量は、容量比 $C_{gS}/(C_{gS}+C_{Lc})$ [ただし、 C_{gS} : TFT のゲート・ソース間容量、 C_{Lc} : 液晶セルの容量] の値に影響され、この値が小さい程、フリッカが小さくなることが知られている。この対策として、液晶セルに並列に画像信号保持用の補助容量 C_{ac} を付加して、容量比を $C_{gS}/(C_{gS} + C_{Lc} + C_{ac})$ と小さくする方法が提案されている。

また、歩止まりの向上対策としては、1画面あたり2つ以上のTFTを備え、少くとも1つの薄膜トランジスタが正常であれば、パネルとして正常動作するようにしたもののが報告されている(特開昭62-8560号)。

従つて、歩止まりを向上させ、かつフリッカを

減少させるには、上記の従来技術を単純に組み合わせることが考えられる。第3図はこのような1画素当たり2個のTFTを配設し更に各画素に補助容量を付加した例の等価回路図であり、第4図はこの等価回路を実現するパターン例を1画素について示したものである。

これ等の図に於いて、(1)は透明絶縁基板上のゲートライン、(2)はドレインライン、(3)は第1のTFT、(4)は第2のTFT、(5)は画素単位で模式的に示した液晶セル、(6)は補助容量、(7)は液晶セル側の共通電極、(8)は補助容量側の共通電極、(9)側は第1のTFT(3)のソース・ドレイン電極、(10)側は第2のTFT(4)のソース・ドレイン電極、(11)は画素電極を矢印示している。同様の如く、1画素当たり1個のTFTを用いた場合と同じサイズのTFTを2個配設した場合は、ゲート・ソース間容量が2倍になるので、前述の容量比は

$$2C_{gs}/(2C_{gs} + C_{le} + C_{sc})$$

となり、 $C_{gs} \ll C_{le} \ll C_{sc}$ であるので、1画素当たり1個のTFTを配設した場合の2倍近くにな

前述のTFTの不良は、TFTがオフのままでオンしない不良について考えたが、TFTがオンのままでオフしない不良の場合は、レーザー照射等で、透明電極(4)から不良TFT(3)、(4)を切り離す修正を行えば、TFTがオフのままでオンしない不良と同様になる。従つて、先に述べた従来技術を単に組み合せた構成に於いても、フリッカの減少と歩止まりの向上を図らうとすれば、TFTが不良になった場合にとの画素の輝度が大幅に低下することになる。

故に、従来技術では、フリッカの減少と歩止まりの向上を両立させることは困難であつた。

(4) 発明が解決しようとする課題

本発明は上記の問題を取り除いたアタティップマトリクス液晶表示パネルを提供することを目的とするものであり、不良TFTの挙動に供なう画素の輝度低下を解消しようとするものである。

(5) 課題を解決するための手段

本発明のアタティップマトリクス液晶表示パネルは、ゲートラインと画素ラインの各交差部分の周

り。従つて、同サイズのTFTを單に増やしただけでは、フリッカの増大等の問題が生じる。これを避けて、容量比を1画素当たりTFT 1個の場合の

$$C_{gs}/(C_{gs} + C_{le} + C_{sc})$$

とほぼ同じ値にするには、TFTのチャンネル幅を2倍にする方法か、または C_{sc} を2倍にする方法か、2通りの方法が考えられる。ところが、TFTのチャンネル幅を2倍にした場合は、トランジスタの1個が動作不良になると、ドレイン電流が0になり、液晶セルおよび補助容量に充分な充電が行われず、この画素の輝度が大幅に低下する。

又、TFTのチャンネル幅を変えずに、 C_{sc} の値を2倍にした場合は、 C_{sc} の値が2倍になっているので、必要な充電を行うためのドレイン電流も約2倍となる。従つて、この場合においても、1個のTFTが動作不良になると、充分な充電が行われず、この画素の輝度が大幅に低下する。

これらは、3個以上のTFTを1画素に配設した場合にも同様に生じる問題である。

画素単位毎に複数個のトランジスタとこれに対応する複数個の補助容量を備えたものである。

動作層

本発明の液晶表示パネルによれば、画素単位毎に複数個のトランジスタと複数個の補助容量とを備えたものであるので、TFTが動作不良になつた場合に、TFTを切り離すと同時に対応する補助容量を切離できる。

6 実施例

第1図は本発明のアタティップマトリクス液晶表示パネルの一実施例の等価回路図、第2図は第1図の等価回路を実現するパターン例を1画素について示したものである。

これ等の図に於いて、第3図、第4図の従来例と同一部分には、これ等従来例と同一符号を付しており、第1図、第2図の本発明パネルが従来パネルと異なるところは、各画素毎に2個のTFT(3)(4)に対応して2枚の補助容量用共通電極(7)(8)を設けた点にある。

即ち、一般にTFT(3)の大きさくチャンネル幅

)は、1面当たりn個のTFTで駆動する場合、1個のTFTで駆動する場合の $1/n$ とする。

更に、1面当たりn個のTFTで駆動する場合、補助容量がも $1/n$ のものを標準とする。TFTが全て良品の場合は、先に述べた容量比は、

$$\begin{aligned} & n \times \frac{1}{n} C_{gs} / (n \times \frac{1}{n} C_{gs} + C_{le} + n \times \frac{1}{n} C_{ce}) \\ & = C_{gs} / (C_{gs} + C_{le} + C_{ce}) \end{aligned}$$

となり、1面当たりの1個のTFTの場合と同じであり、フリッカは改善されている。

さて、1個のTFTが不良になった場合、図-2で例えば第1回、第2回表示の一方のTFTが不良になったとする。この場合、TFTがオフしたままの状態であれば一方の補助容量のB位置をレーザー照射で切断する。TFTがオンしたままの不良であればこのB位置に加えて、そのソース電極側のA位置を切断する。この結果、 $C_{gs} \ll C_{le} \ll C_{ce}$ であるので、容量比は $1 \times \frac{1}{2}$

$$\begin{aligned} & C_{gs} / (1 \times \frac{1}{2} C_{gs} + C_{le} + 1 \times \frac{1}{2} C_{ce}) \\ & + C_{gs} / (C_{gs} + C_{le} + C_{ce}) \end{aligned}$$

となり、この結果は表した正常なTFTで正常

に駆動できる。従って、フリッカの発生も輝度の変化も防ぐことが可能であり、かつ歩止まり向上させることができる。

本発明は2個のTFT間に固定されるものでなく、1面当たりn個のTFTとn個の補助容量を配接し、何くもTFTが不良になつた場合も同様にレーザー照射による修正が可能である。

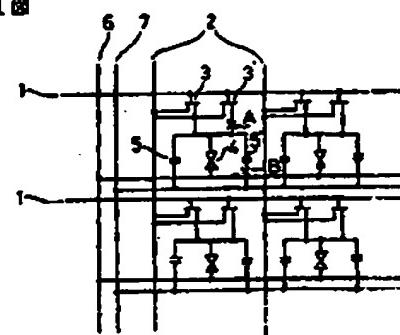
(H) 結 果

本発明の液晶表示パネルを用いることにより、TFT不良による表示欠陥を修正できるので、歩止まりが向上する。更に、従来の技術の延長では防ぐことのできないフリッカの発生や輝度の異常も防ぐことができる。

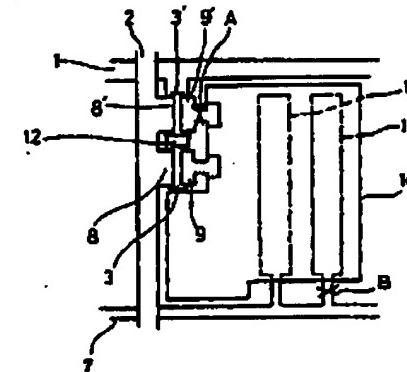
4. 施設の簡単な説明

第1回は本発明を実施したパネルの等価回路図、第2回は第1回の等価回路の1面当たりのパターン図、第3回は、従来技術の単純な組み合わせを行つたパネルの等価回路図、第4回は第2回の等価回路のパターン図である。

第1回



第2回



- (1) - ゲートライン、(2) - 電極ライン、(3) - TFT、(4) - 液晶セル、(5)、(6) - 補助容量、
(7) - 共通電極(液晶セル用)、(8) - 共通電極(補助容量用)、(9) - ドレイン、(10) - ソース、
(11) - 連続電極、(12) - 補助容量用共通電極、
(13) - ゲート、(14) - 絶縁膜、(15) - ガラス基板。

出願人 三井電機株式会社
代理人弁理士 西野卓朗(外1名)

BEST AVAILABLE COPY

